

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI

(c) 2002 Derwent Info Ltd. All rts. reserv.

007154216

WPI Acc No: 1987-154212/198722

Active matrix flat display panel - prevents faulty pixel e.g. white or
black spots by connecting thin-film switch transistors to LCD NoAbstract

Dwg 1/7

Patent Assignee: HITACHI LTD (HITA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 62091993	A	19870427	JP 85231107	A	19851018	198722 B

Priority Applications (No Type Date): JP 85231107 A 19851018

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 62091993	A	3		

Title Terms: ACTIVE; MATRIX; FLAT; DISPLAY; PANEL; PREVENT; FAULT; PIXEL;
WHITE; BLACK; SPOT; CONNECT; THIN; FILM; SWITCH; TRANSISTOR; LCD;
NOABSTRACT

Derwent Class: P81; P85; U12; U14

International Patent Class (Additional): G02F-001/13; G09F-009/30;

G09G-003/20; H01L-027/12; H01L-029/78

File Segment: EPI; EngPI

Concise of Statement – Japanese Patent Laid-Open 62-91933

Title: Active Matrix Flat Display Panel

Publication Date: April 27, 1987

A flat display comprises a pixel constituted by a display element and a switching element that are formed in a region surrounded by driving wirings and signal wirings which are arranged in matrix shape, and plural switching transistors are formed in the pixel.

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-91993

⑬ Int. Cl.⁴

G 09 G 3/20
G 02 F 1/133
G 09 F 9/30
H 01 L 27/12
29/78

識別記号

3 2 7

庁内整理番号

D-7436-5C
8205-2H
6731-5C
7514-5F
8422-5F

⑭ 公開 昭和62年(1987)4月27日

審査請求 未請求 発明の数 1 (全4頁)

⑮ 発明の名称 フラットディスプレイ

⑯ 特 願 昭60-231107

⑰ 出 願 昭60(1985)10月18日

⑱ 発 明 者	折 付	良 二	茂原市早野3300番地	株式会社日立製作所茂原工場内
⑱ 発 明 者	砂 原	和 雄	茂原市早野3300番地	株式会社日立製作所茂原工場内
⑱ 発 明 者	高 橋	幹 男	茂原市早野3300番地	株式会社日立製作所茂原工場内
⑱ 発 明 者	国 藤	博 文	茂原市早野3300番地	株式会社日立製作所茂原工場内
⑲ 出 願 人	株式会社日立製作所			東京都千代田区神田駿河台4丁目6番地
⑳ 代 理 人	弁理士 小川 勝男			外1名

明 細 書

発明の名称 フラットディスプレイ

特許請求の範囲

1. マトリックス状に配列した駆動配線と信号配線とで囲まれる各領域に表示素子およびスイッチングトランジスタを配置して各画素を構成したフラットディスプレイにおいて、前記一画素に複数個のスイッチングトランジスタを設けたことを特徴とするフラットディスプレイ。
2. 前記スイッチングトランジスタを並列接続したことを特徴とする特許請求の範囲第1項記載のフラットディスプレイ。
3. 前記スイッチングトランジスタを直列接続したことを特徴とする特許請求の範囲第1項記載のフラットディスプレイ。
4. 前記スイッチングトランジスタを直並列接続したことを特徴とする特許請求の範囲第1項記載のフラットディスプレイ。

発明の詳細な説明

(発明の利用分野)

本発明は液晶表示装置等のフラットディスプレイに係り、特に各表示素子にアクティブ素子を付設したアクティブ・マトリックス方式のフラットディスプレイに関するものである。

(発明の背景)

近年、この種のディスプレイの研究が盛んなことは、例えば日経エレクトロニクス1984年9月10日号の第211頁に記載されている通りである。

このようなディスプレイでは、マトリックス状に駆動配線と信号配線とが配列され、それによって各配線で囲まれた各領域に配置した各表示素子を個々のアクティブ素子によりスイッチング駆動させる構成を有しており、アクティブ素子のスイッチオンのとき、表示素子に画像情報が表示され、スイッチオフのとき、その情報が保持される。

しかしながら、このように構成されるフラットディスプレイは、1個の表示素子に対して1個の薄膜トランジスタを有しているため、薄膜トランジスタのオン電流が不足すると、表示素子の表示

画像上に黒点不良を発生し、またオフ電流が大
ると、白点不良を発生させていた。

また、特開昭58-171860号公報に示され
ているようにアクティブ素子としてポリシリコン
を活性層とする薄膜トランジスタにおいては、粒
界のリーク電流を防止するため、複数のトラン
ジスタを、そのゲートを共通にして直列接続して
いるが、リダンダンスを目的としたものではない
ので、そのうちの1個のトランジスタのオフ電流
が大となると、白点不良となる欠点があつた。

〔発明の目的〕

本発明の目的は、薄膜トランジスタのオン電流
の不足に起因する黒点不良の発生を防止し、画素
欠陥の発生を防止することが可能なフラットディ
スプレイを提供することにある。

本発明の他の目的は、薄膜トランジスタのオフ
電流の大に起因する白点不良の発生を防止し、画
素欠陥の発生を防止することが可能なフラットディ
スプレイを提供することにある。

〔発明の概要〕

このような構成によれば、表示素子4をスイ
チング駆動する第1のトランジスタ3aもしくは
第2のトランジスタ3bの一方が、オン電流が小
となる欠陥が発生しても、残る他方がオン電流を
供給するので、黒点不良を発生させることはなく
なる。

ここで、黒点不良となる確率を計算すると、今、
画素数が1000×1000個のフラットディスプレイ
には通常10個程度の黒点不良があり、良品と
はならない。ここで、前述したようにトランジ
スタを並列接続した構成とすると、オン電流が小
となる欠陥トランジスタの数は20個であり、これ
らが同一の画素面に集まる確率が、画素が黒点と
なる確率を与える。

$20(\text{個}) \times 19 \div (2 \times 10^6) = 1.9 \times 10^{-4}$
すなわち、黒点画素に関する歩留りは約99.98%
と計算され、極めて有効である。

第3図は第2図で説明したトランジスタが並列
接続された具体例を示す平面構成図であり、前述
の図と同一符号は同一部分を示す。同図において、

本発明の一実施例によれば、1個の表示素子に
対して複数の薄膜トランジスタを接続すること
により、アクティブ素子回路に冗長性をもたせた
フラットディスプレイが提供される。

〔発明の実施例〕

次に図面を用いて本発明の実施例を詳細に説明
する。

第1図はアクティブマトリックス方式のフラッ
トディスプレイを示す回路構成図である。同図に
おいて、1は駆動配線、2は信号配線、3はアク
ティブ素子としての薄膜トランジスタ（以下トラ
ンジスタと称する）、4は例えば液晶表示素子あ
るいはEL（エレクトロ・ルミネッセンス）等の
表示素子であり、1個のトランジスタ3と表示素
子4とで一画素5を構成している。

本発明によるフラットディスプレイは、第2図
に示すように個々の画素5'が駆動配線1、信号配
線2と表示素子4との間に第1のトランジスタ3a
および第2のトランジスタ3bを並列接続して構
成されている。

駆動配線1と信号配線2とが交差する2辺に、例
えばアモルファスシリコンを活性層6a、6bとし
ソース電極7a、7bが接続されたトランジスタ3
a、3bがそれぞれ形成され、ソース電極7a、7b
は表示素子の画素電極8に並列接続されて形成さ
れる。

第4図は本発明の他の実施例を示す回路構成図
である。同図において、フラットディスプレイは、
個々の画素5'が第1のトランジスタ3aと第2の
トランジスタ3bとが直列接続して構成されてい
る。

このような構成によれば、第1のトランジスタ
3aもしくは第2のトランジスタ3bのオフ電流
が大となる不良が発生しても直列接続された他の
トランジスタがオフ特性を保障するので、白点画
素の発生を防止することができる。

第5図は第4図で説明したトランジスタが直列
接続された具体例を示す平面構成図であり、同図
において、信号配線2と画素電極8との間に、ア
モルファスシリコンを活性層6a、6bとした第1

のトランジスタ 3a と第2のトランジスタ 3b とが直列接続されて形成される。

第6図は本発明のさらに他の実施例を示す回路構成図である。同図において、フラットディスプレイは、個々の画素 5' が第1のトランジスタ 3a および第2のトランジスタ 3b が直列接続され、さらに第3のトランジスタ 3c および第4のトランジスタ 3d が並列接続されて構成されている。すなわち、4個のトランジスタ 3a, 3b, 3c, 3d が直並列接続されて構成されている。

このような構成によれば、直列接続された第1のトランジスタ 3a および第2のトランジスタ 3b により白点不良の発生を防止でき、並列接続された第3のトランジスタ 3c および第4のトランジスタ 3d により黒点不良の発生を防止できる。すなわち、白点および黒点不良の発生を同時に防止することができる。

第7図は第6図で説明したトランジスタが直並列接続された具体例を示す平面構成図であり、同図において、駆動配線1と信号配線2とが交差す

る2辺に、2組のトランジスタ 3a, 3b および 3c, 3d が中間電極 8a, 8b により接続され、画素電極 9 に直並列接続されて形成される。

なお、前述した実施例においては、アクティブ素子にアモルファスシリコンを活性層とする薄膜トランジスタを用いた場合について説明したが、ポリシリコンを活性層とする薄膜トランジスタを用いても同様の効果が得られることは勿論である。

〔発明の効果〕

以上説明したように本発明によれば、表示素子の一面素に複数個のスイッチングトランジスタを設けたことにより、トランジスタの不良に起因する白点不良および黒点不良等の画素欠陥を防止できるので、高品位の表示画像が得られるなどの極めて優れた効果を有する。

図面の簡単な説明

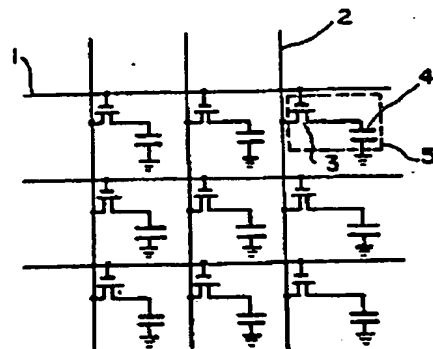
第1図はアクティブ・マトリクス方式のフラットディスプレイを示す回路構成図、第2図、第3図は本発明によるフラットディスプレイの一実施例を示す要部回路図、平面構成図、第4図、第

5図は本発明の他の実施例を示す要部回路図、平面構成図、第6図、第7図は本発明のさらに他の実施例を示す要部回路図、平面構成図である。

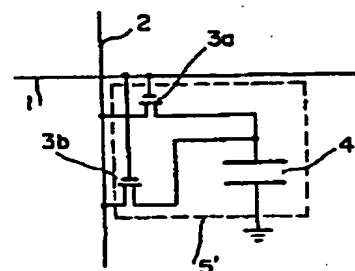
1・・・駆動配線、2・・・信号配線、3, 3a, 3b, 3c, 3d・・・薄膜トランジスタ、4・・・表示素子、5, 5', 5'', 5'''・・・画素、6a, 6b・・・活性層、7a, 7b・・・ソース電極、8・・・画素電極、8a, 8b・・・中間電極。

代理人 弁理士 小 川 勝 男

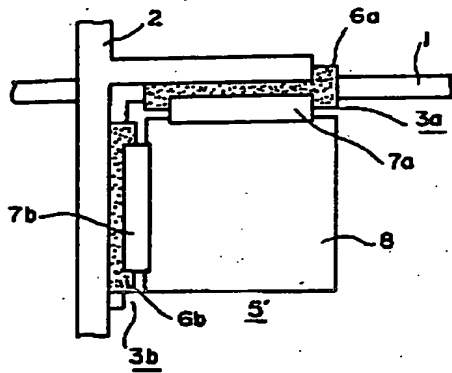
第1図



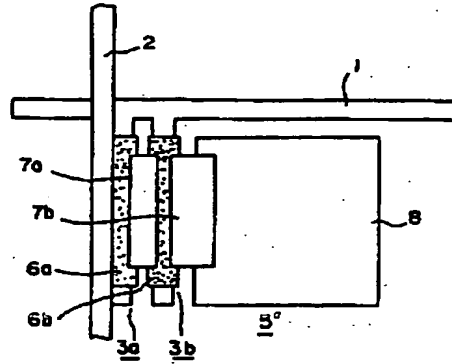
第2図



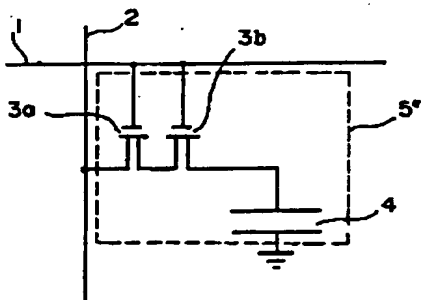
第3図



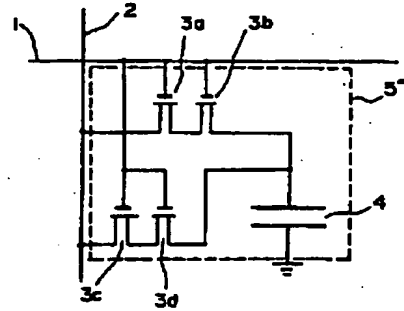
第5図



第4図



第6図



第7図

